

JP 04068755 A

TITLE: READ METHOD FOR OPTICAL LINE SENSOR

PUBN-DATE: March 4, 1992

INVENTOR-INFORMATION:

NAME

MIURA, TAKAO

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP02177846

APPL-DATE: July 5, 1990

INT-CL (IPC): H04N001/04, G06F015/64

ABSTRACT:

PURPOSE: To minimize a picture element position deviation between blocks by selecting a light receiving element at a picture element position at both ends earlier or later than a light receiving element at a center picture element position in every group and reading its output.

CONSTITUTION: The method employs plural light receiving elements 2a-2n provided in an array shape corresponding to a light emitting element section 1 and a control section 3 selecting light receiving elements of same picture element positions of each of m-group divisions of the plural light receiving elements 2a-2n and reading their outputs, and the reading order in each of blocks b1-b7 is 1st sensor from the left, 3rd sensor, 5th sensor, 2nd sensor and then 4th sensor finally. Thus, the deviation of each picture element is uniformized to be '2' or '3', extremely large deviation is avoided, the picture element deviation is uniformized and distortion of the picture is reduced.

COPYRIGHT: (C)1992,JPO&Japio

⑫ 公開特許公報(A)

平4-68755

⑬ Int. Cl.⁵H 04 N 1/04
G 06 F 15/64

識別記号

1 0 3 A
3 3 0

庁内整理番号

7245-5C
8419-5B

⑭ 公開 平成4年(1992)3月4日

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 光ラインセンサの読取り方法

⑯ 特 願 平2-177846

⑰ 出 願 平2(1990)7月5日

⑱ 発 明 者 三 浦 孝 雄 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 山谷 皓 榮

明細書

1. 発明の名称 光ラインセンサの読取り方法

2. 特許請求の範囲

発光部(1)に対応して列状に設けられた複数の受光素子(2a~2n)と、

該複数の受光素子(2a~2n)をmグループに分割し、各グループにおける同一画素位置の受光素子を選択して、その出力を読み取る制御部(3)とを有し、

各グループの受光素子を所定の順序で選択し、その出力を読取り、1ラインの読取りデータを得る光ラインセンサにおいて、

該制御部(3)は、各グループにおいて両端の画素位置の受光素子を中央の画素位置の受光素子より先又は後に選択して、その出力を読取るようにしたことを

特徴とする光ラインセンサの読取り方法。

3. 発明の詳細な説明

〔目次〕

概要

産業上の利用分野

従来の技術(第7図、第8図)

発明が解決しようとする課題

課題を解決するための手段(第1図)

作用

実施例

(a) 一実施例の説明(第2図乃至第4図)

(b) 他の実施例の説明(第5図、第6図)

(c) 別の実施例の説明

発明の効果

〔概要〕

発光部に対応して列状に設けられた複数の受光素子を順次選択して読取る光ラインセンサの読取り方法に関し、

画像の歪みを最小限にすることを目的とし、

発光部に対応して列状に設けられた複数の受光

素子と、該複数の受光素子を m グループに分割し、各グループにおける同一画素位置の受光素子を選択して、その出力を読み取る制御部とを有し、各グループの受光素子を所定の順序で選択し、その出力を読み取り、1ラインの読取りデータを得る光ラインセンサにおいて、該制御部は、各グループにおいて両端の画素位置の受光素子を中央の画素位置の受光素子より先又は後に選択して、その出力を読み取るようにした。

(産業上の利用分野)

本発明は、発光部に対応して列状に設けられた複数の受光素子を順次選択して読取る光ラインセンサの読取り方法に関する。

イメージリード等においては、1ライン分の光センサを用い、被検知媒体のイメージを各光センサより読取り、1ライン分のイメージデータを得る。

このようなイメージリードでは、同時に1ライン全ての光センサ(受光素子)の出力を読み取るこ

とは制御上困難なため、ある順序を持って読取るようにしている。

このため、読取りデータに時間ずれが生じ、画像歪みが生じるので、その対策が望まれている。

(従来の技術)

第7図及び第8図は従来技術の説明図である。

第7図(A)に示すように、媒体 d の矢印搬送方向と垂直方向に n ケのLED等の発光素子 $1a \sim 1n$ を並べた発光部1と、これに対向して設けた n ケのフォトダイオード等の受光素子 $2a \sim 2n$ を並べた受光部2とから成る光センサが設けられている。

このような光センサでは、第8図に示すように、5ケずつの発受光素子のブロック(チップ) $b1 \sim b7$ に分け、各ブロックの1の発光素子を同時発光させ、対応する受光素子の受光出力を順次読取り、次に各ブロック $b1 \sim b7$ の次の発光素子を発光させ、順次読取るという方法が一般的である。

このタイミングのずれ、第7図(B)のように、1ブロック内では各素子間の画素位置ずれは「1」であり、それ程極端とはならないが、ブロック $b1$ 、 $b2$ 間の画素 $S5$ と $S6$ との間は、画素位置ずれが「4」となり、極端となってしまふ。

このため、第8図に示すように、ブロック間が画素位置ずれ1が極端となり、読取った画像に歪みが生じるという問題が生じ、パターン照合を良好に行えない。

従って、本発明は、画像の歪みを最小限にすることのできる光ラインセンサの読取り方法を提供することを目的とする。

(課題を解決するための手段)

第1図は本発明の原理図である。

本発明は、第1図(A)に示すように、発光部1に対応して列状に設けられた複数の受光素子 $2a \sim 2n$ と、該複数の受光素子 $2a \sim 2n$ を m グループに分割し、各グループにおける同一画素位置の受光素子を選択して、その出力を読み取る制

特に、パターンの濃度まで得るには、各受光素子から8ビット(256階調)のデータを読み取る必要があり、時間がかかる。

従来の読取り順としては、第8図に示すように、各ブロック $b1 \sim b7$ の左から右へ順に読むものがあつた。

例えば、一列35素子のセンサを5素子ずつ、 $S1 \sim S5$ 、 $S6 \sim S10$ 、 $S11 \sim S15$ 、 $S16 \sim S20$ 、 $S21 \sim S25$ 、 $S26 \sim S30$ 、 $S31 \sim S35$ の7ブロック $b1 \sim b7$ に分けた場合、図の丸印の番号順に受光素子の検出出力を読出すようにしていた。

例えば1ブロック目 $b1$ では、受光素子 $S1 \rightarrow S2 \rightarrow S3 \rightarrow S4 \rightarrow S5$ の順で読取るようにしていた。

(発明が解決しようとする課題)

このように、各ブロックで順次読取りすると、当然各受光素子の読取りタイミングにずれが生じる。

制御部3とを有し、各グループの受光素子を所定の順序で選択し、その出力を読取り、1ラインの読取りデータを得る光ラインセンサにおいて、第1図(B)のように該制御部3は、各グループにおいて、両端の画素位置の受光素子を中央の画素位置の受光素子より先又は後に選択して、その出力を読取るようにしたものである。

〔作用〕

本発明では、各グループ(ブロック) $b_1 \sim b_m$ において、受光素子の読取り順を隣接しない画素位置とした。

例えば、第1図(B)では、受光素子 $S_1 \rightarrow S_3 \rightarrow S_5 \rightarrow S_2 \rightarrow S_4$ とした。

このため、ブロック内の画素位置ずれを平均化し、ブロック間の画素位置ずれは最小(図では2)とすることができ、極端な画素位置ずれを防止でき、画像歪みを最小限にできる。

しかも、読取り順を変えるだけでよいので、容易に且つ簡易に実現できる。

メモリ4には、読取り順を格納する読取り順テーブル4aと、各画素位置の読取りデータを格納する読取りデータテーブル4bとが設けられる。

外部インタフェース回路5は、読取データ等を外部の認識ユニットに転送するためのもの、バス6はMPUで構成される制御部3と発受光部の各ブロック $b_1 \sim b_m$ 、メモリ4及び外部インタフェース回路5を接続し、データ等のやりとりを行うものである。

この実施例では、MPU3が読取り順で指定された各ブロック $b_1 \sim b_m$ のLED(例えば10)の発光量を各ブロック $b_1 \sim b_m$ のD/Aコンバータ15にセットし、セレクト16にそのLEDのセレクト信号を与える。

これによって、各ブロック $b_1 \sim b_m$ の指定されたLEDが発光する。

次に、MPU3がセレクト25に対応するフォトダイオード(例えば20)をセレクトせしめ、そのフォトダイオードの受光出力を選択し、受光アンプ26で増幅し、A/Dコンバータ27で8

〔実施例〕

(a) 一実施例の説明

第2図は本発明の一実施例のための構成図である。

図中、第1図、第7図及び第8図で示したものと同一のものは、同一の記号で示してある。

各ブロック $b_1 \sim b_m$ は、5つのLED(発光ダイオード)10~14と、LED10~14の制御部3の制御により電流値を決めるD/A(デジタル/アナログ)コンバータ15と、制御部3の制御により発光すべきLEDを選択するセレクト16とから成る発光部と、各LED10~14に対応して設けられた5つのフォトダイオード20~24と、フォトダイオード20~24の出力を選択するセレクト25と、セレクト25の出力を増幅する受光アンプ26と、受光アンプ26の増幅出力をA/D(アナログ/デジタル)変換するA/Dコンバータ27とから成る受光部とが設けられている。

ビットのデータに変換し、MPU3はこれを取り込み、メモリ4のデータテーブル4bにセットする。

MPU3は、この受光出力の取り出しをブロック b_1 、 b_2 b_m の順で行う。

このようにして、各ブロック $b_1 \sim b_m$ の一のLEDを発光させている間に、各ブロック $b_1 \sim b_m$ の対応するフォトダイオードの受光出力をバス6を介し順次読み出し、その後各ブロック $b_1 \sim b_m$ の次の他のLEDを発光させ、同様のフォトダイオードの受光出力の読み出しを行う。

第3図及び第4図は本発明の一実施例説明図である。

第3図に示すように、各ブロック $b_1 \sim b_7$ において、左から見て1番目のセンサ(S_1 、 S_6 、 S_{11} 、 S_{16} 、 S_{21} 、 S_{26} 、 S_{31})を読取り、次に3番目のセンサ(S_3 、 S_8 、 S_{13} 、 S_{18} 、 S_{23} 、 S_{28} 、 S_{33})を読取り、5番目のセンサ(S_5 、 S_{10} 、 S_{15} 、 S_{20} 、 S_{25} 、 S_{30} 、 S_{35})を読取り、2番目のセ

ンサ(S2、S7、S12、S17、S22、S27、S32)を読取り、最後に4番目のセンサ(S4、S9、S14、S19、S24、S29、S34)を読取るようにしている。

このようにすると、各画素のずれは、第4図に示すように、「2」又は「3」に均一化され、極端に大きいものがなくなり、画素ずれが均一化でき、画像の歪みを小さくできる。

第2図のブロックで言えば、ブロックb1～bmのLED10をセレクトし、発光している間に、各ブロックb1～bmのフォトダイオード20の出力をMPU3が、第8図の①～⑦の順で読みとる。

次に、ブロックb1～bmのLED12を発光させ、各ブロックb1～bmのフォトダイオード22の出力をMPU3が第8図の⑧～⑭の順で読取る。

以下、同様にして、LED14を発光させ、フォトダイオード24の出力を⑮～⑳の順で読取り、LED11を発光させ、フォトダイオード21の

出力を㉑～㉒の順で読取り、LED13を発光させ、フォトダイオード23の出力を㉓～㉔の順で読取って、1ラインの読取りを終了する。

これを各ライン毎に行えば、媒体dpの全イメージを読取ることができる。

このようにして、1番目→3番目→5番目→2番目→4番目の順で受光出力をリードすることにより、画素ずれを均一化できる。

(b) 他の実施例の説明

第5図及び第6図は本発明の他の実施例説明図である。

この実施例では、第5図のように、1番目→5番目→2番目→4番目→3番目の順で受光出力をリードするようにしたものである。

この例では、第6図のように、各画素間のずれを「1」又は「2」画素に均一化でき、画素ずれを均一化できるとともに、画素ずれ量を一層小さくでき、極めて画像の歪みが小さくなる。

(c) 別の実施例の説明

上述の実施例の他に、本発明では、次の変形が

可能である。

① 実施例では、両端の1、5番目を先に、中央の2、4番目を後にしているが、これを逆にしてもよい。

② 発光部1を走査できるLEDアレーで説明したが、均一光のランプ等にしてもよい。

③ 1ブロックの受光素子の数、ブロック数は装置の仕様に応じ適宜選択できる。

以上本発明を実施例により説明したが、本発明は本発明の主旨に従い種々の変形が可能であり、本発明からこれらを排除するものではない。

(発明の効果)

以上説明した様に、本発明によれば、次の効果を奏する。

① 各画素間の検出位置ずれを均一化できるので、画像歪みが最小の画像がえられる。

② 又、これを受光素子の読取り順序の変更という簡易な方法で実現できる。

4. 図面の簡単な説明

第1図は本発明の原理図、

第2図は本発明の一実施例のための構成図、

第3図及び第4図は本発明の一実施例説明図、

第5図及び第6図は本発明の他の実施例説明図、

第7図及び第8図は従来技術の説明図である。

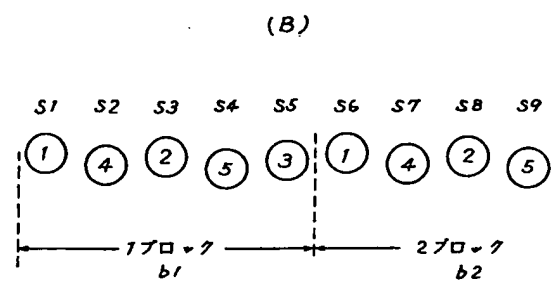
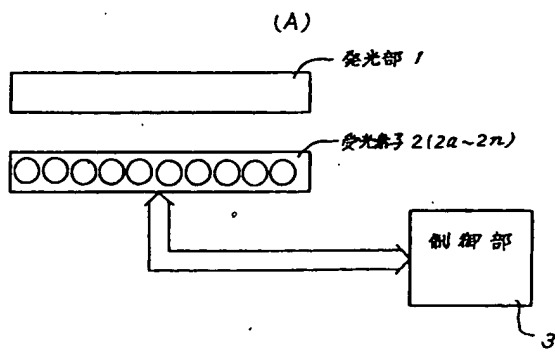
図中、1……発光部、

2a～2n……受光素子、

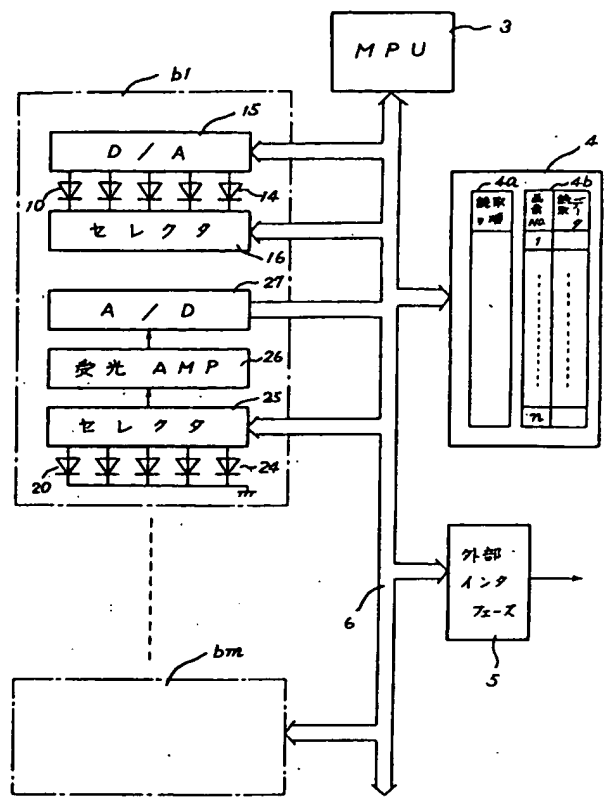
3……制御部。

特許出願人 富士通株式会社

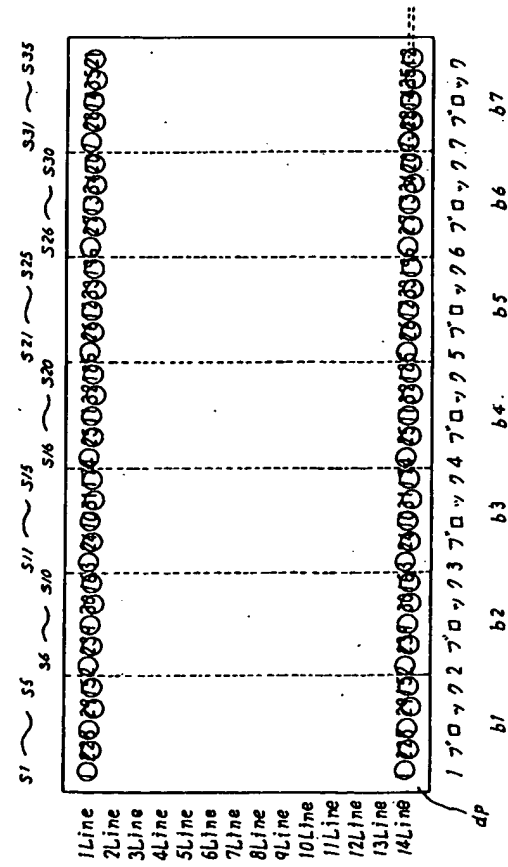
代理人弁理士 山 谷 皓 榮



本発明の原理図
第1図



一実施例のための構成図
第2図



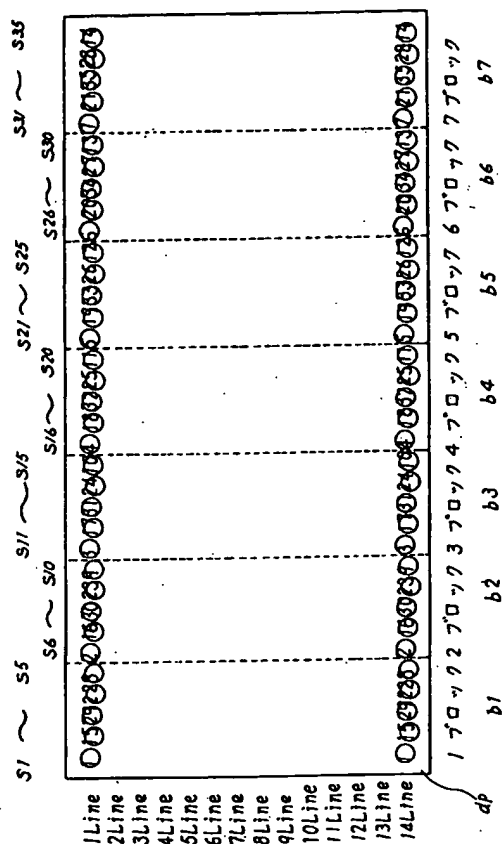
一実施例の説明図
第3図

読み取り順	左画素	右画素
1 (S1)	-	2
15 (S2)	2	2
29 (S3)	2	1
22 (S4)	1	2
8 (S5)	2	1
2 (S6)	1	2

他の実施例の説明図
第6図

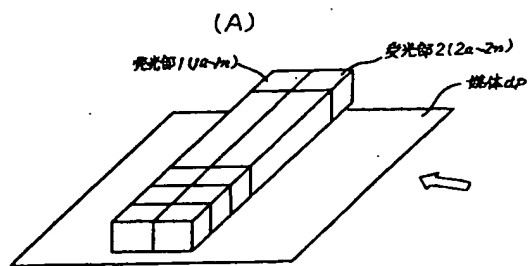
読み取り順	左画素	右画素
1 (S1)	-	3
22 (S2)	3	2
8 (S3)	2	3
29 (S4)	3	2
15 (S5)	2	2
2 (S6)	2	3

一実施例の説明図
第4図



他の実施例説明図

第5図

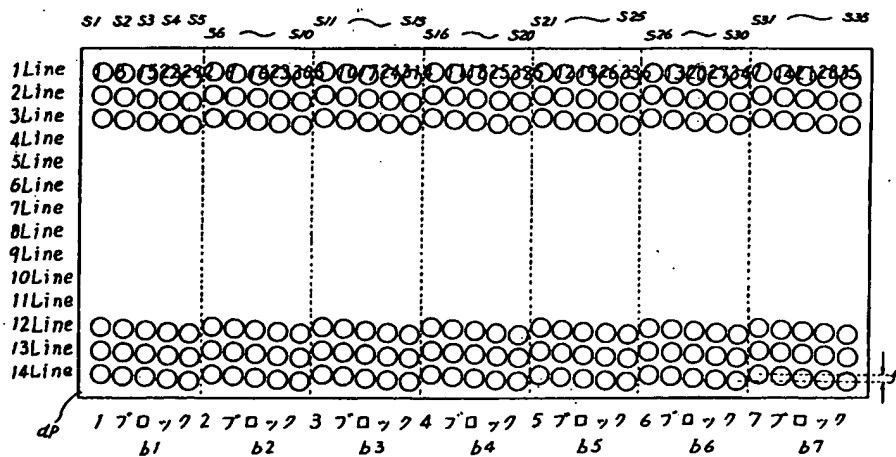


(B)

読み取り順	左画素	右画素
1 (S1)	-	1
8 (S2)	1	1
15 (S3)	1	1
22 (S4)	1	1
29 (S5)	1	4
2 (S6)	4	1

従来技術の説明図

第7図



従来技術の説明図

第8図